

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)
)
 Applicant: Yoshio Nagahiro)
)
 Serial No.)
)
 Filed: April 18, 2000)
)
 For: ACTIVE MATRIX TYPE)
 DISPLAY)
)
 Art Unit:)

I hereby certify that this paper is being deposited with the United States Postal Service as Express Mail in an envelope addressed to: Asst. Comm. for Patents, Washington, D.C. 20231, on this date.

04-18-00
 Date

Express Mail Label No.: EL409492161US

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
 Washington, DC 20231

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 11-142627

A certified of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By

Patrick G. Burns
 Reg. No. 29,367

April 18, 2000

Sears Tower - Suite 8660
 233 South Wacker Drive
 Chicago, IL 60606
 (312) 993-0080

Atty. Docket: 1324.63957
Att. Phone: (312) 993-0080

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 5月24日

出 願 番 号

Application Number:

平成11年特許願第142627号

出 願 人

Applicant (s):

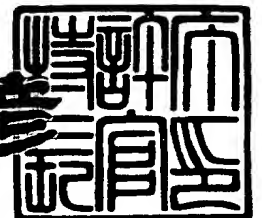
富士通株式会社



2000年 2月14日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3005453

【書類名】 特許願

【整理番号】 9805373

【提出日】 平成11年 5月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/136
H01L 29/786

【発明の名称】 アクティブマトリクス型表示装置

【請求項の数】 1

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 長廣 紀雄

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100101214

 【弁理士】

 【氏名又は名称】 森岡 正樹

【手数料の表示】

 【予納台帳番号】 047762

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【物件名】 委任状 1

 【援用の表示】 平成 1 1 年 5 月 2 2 日提出の包括委任状

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型表示装置

【特許請求の範囲】

【請求項 1】

基板上に形成された複数のゲート配線と、
前記ゲート配線にほぼ直交して前記基板上に形成された複数のデータ配線と、
前記ゲート配線と前記データ配線とで画定されてマトリクス状に配列する複数の画素領域に形成された薄膜トランジスタと、
前記画素領域内に形成されて前記薄膜トランジスタと接続される画素電極と、
前記基板と前記画素電極との間で複数の絶縁膜を介して複数の蓄積容量を形成する複数の蓄積容量電極と
を有することを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ (Thin Film Transistor: 以下、TFTという) をスイッチング素子として備えたアクティブマトリクス型表示装置に関し、特に、TFTにより液晶を駆動して画像を表示する液晶表示装置 (Liquid Crystal Display: 以下、LCDという) に関する。

【0002】

【従来の技術】

非晶質 (アモルファス) シリコンや多結晶シリコン (ポリシリコン) を動作半導体膜として用いた薄膜トランジスタアレイは、アクティブマトリクス型の液晶表示パネル等のスイッチング素子として用いられている。

【0003】

図5はTFTを用いた従来の液晶表示パネルのアレイ基板の概略構造を示している。図5 (a) はアレイ基板の平面を示し、図5 (b) は図5 (a) のA-A線で切断した断面の一部を示している。図5 (a) に示すように、ガラス基板1

上には複数のゲート配線 4 が形成されている。また、ゲート配線 4 に直交する方向に複数のデータ配線 6 が形成されている。ゲート配線 4 とデータ配線 6 とで画定された画素領域に T F T が形成されている。図 5 に示す T F T 構造は、ゲート電極がゲート配線 4 から引き出されて形成されておらず、直線状に配線されたゲート配線 4 の一部をゲート電極として用いる構成になっている。またこの T F T は、ゲート配線 4 を 2 度横切るいわゆるダブルゲート構造になっている。

【0 0 0 4】

画素領域内には T F T と接続される画素電極 7 が形成されている。また、ゲート配線 4 と平行に画素領域を横切って蓄積容量配線 4 1 が形成され、さらに画素領域毎に蓄積容量配線 4 1 と電氣的に接続される蓄積容量電極 6 2 が形成されている。

【0 0 0 5】

また、図 5 (b) に示すように、ガラス基板 1 上にポリシリコンからなる半導体層 2 が形成され、半導体層 2 上にシリコン酸化膜 (SiO_2) からなるゲート絶縁膜 3 およびクロム (Cr) からなるゲート電極 (ゲート配線) 4 がこの順に形成されている。半導体層 2 は、チャンネル層 2 a と、不純物が添加された半導体層であるソース電極 2 c 及びドレイン電極 2 b とを有している。ゲート電極 4 上層のほぼ全面には第 1 の層間絶縁膜 5 1 が形成され、コンタクトホール 5 1 a (図 5 (a) 参照) を介してドレイン電極 2 f がデータ配線 6 と接続されている。ソース電極 2 e はチャンネル層 2 g を挟んでドレイン電極 2 f と対向して配置されている。ソース電極 2 e は、次段のトランジスタのドレイン電極 2 b として機能する。ソース電極 2 c は、チャンネル層 2 a を挟んでドレイン電極 2 b と対向して配置されている。また、コンタクトホール 5 1 b を介してソース電極 2 c と島状電極 6 1 とが接続されている。島状電極 6 1 は、例えば Al (アルミニウム) からなるデータ配線 6 の形成と同時に形成されている。島状電極 6 1 は、上部に形成された第 2 の層間絶縁膜 5 2 のコンタクトホール 5 2 c を介して、ITO (インジウム・ティン・オキシド) 等の透明電極からなる画素電極 7 に接続されている。

【0 0 0 6】

一方、ゲート電極 4 の形成と同時に、ゲート電極 4 と平行して蓄積容量配線 4 1 が形成される。蓄積容量配線 4 1 上には第 1 の層間絶縁膜 5 1 のコンタクトホール 5 1 d を介して蓄積容量電極 6 2 が形成されている。蓄積容量電極 6 2 は、データ配線 6 の形成時に同時に形成される。蓄積容量電極 6 2 は、第 2 の層間絶縁膜 5 2 を挟んで画素電極 7 との間に蓄積容量 C_s を形成する。なお、蓄積容量配線 4 1 は、一定電位を保つように例えば、ガラス基板 1 に対向して配置される対向基板側に形成されたコモン電極と電気的に接続されている。ガラス基板 1 に画素が形成されたアレイ基板と対向基板との間には液晶が封止されている。TFT が画素電極 7 を介して液晶容量に画像表示のための電荷を書き込む際、蓄積容量にも同時に電荷を書き込む。一般に蓄積容量には、液晶容量と同程度から数倍の大きさの容量が必要である。

【0007】

図 6 は TFT を用いた従来の液晶表示パネルのアレイ基板の他の構造を示している。図 6 (a) はアレイ基板の平面を示し、図 6 (b) は図 6 (a) の B-B 線で切断した断面の一部を示している。図 6 (a) に示すように、ガラス基板 1 上には複数のゲート配線 4 が形成されている。また、ゲート配線 4 に直交する方向に複数のデータ配線 6 が形成されている。ゲート配線 4 とデータ配線 6 とで画定された画素領域に TFT が形成されている。図 6 に示す TFT 構造は、ゲート電極がゲート配線 4 から引き出されて形成されておらず、直線状に配線されたゲート配線 4 の一部をゲート電極として用いる構成になっている。またこの TFT は、ゲート配線 4 を 2 度横切るいわゆるダブルゲート構造になっている。

【0008】

画素領域内には TFT と接続される画素電極 7 が形成されている。また、画素電極 7 の周囲を取り囲むように蓄積容量電極 8 が形成されている。この蓄積容量電極 8 は、通常は TFT が形成されたアレイ基板と液晶層を挟んで対向する対向基板側に形成される遮光層（ブラックマトリクス）を兼ねている。

【0009】

また、図 6 (b) に示すように、ガラス基板 1 上にポリシリコンからなる半導体層 2 が形成され、半導体層 2 上にシリコン酸化膜からなるゲート絶縁膜 3 およ

びCrからなるゲート電極（ゲート配線）4が形成されている。半導体層2は、チャンネル層2aと、不純物が添加された半導体層であるソース電極2c及びドレイン電極2bとを有している。ゲート電極4上層のほぼ全面には第1の層間絶縁膜51が形成され、コンタクトホール51a（図6（a）参照）を介してドレイン電極2fがデータ配線6と接続されている。ソース電極2eはチャンネル層2gを挟んでドレイン電極2fと対向して配置されている。ソース電極2eは、次段のトランジスタのドレイン電極2bとして機能する。ソース電極2cは、チャンネル層2aを挟んでドレイン電極2bと対向して配置されている。また、コンタクトホール51bを介してソース電極2cと島状電極61とが接続されている。島状電極61は例えばA1からなり、データ配線6の形成と同時に形成される。島状電極61は、上部に形成された第2の層間絶縁膜52及び第3の層間絶縁膜53に開口したコンタクトホール53cを介して、ITO等の透明電極からなる画素電極7に接続されている。

【0010】

例えばチタン（Ti）からなる蓄積容量電極8は、第2の層間絶縁膜52と第3の層間絶縁膜53の間に形成されている。遮光層を兼ねた蓄積容量電極8は第3の層間絶縁膜53を挟んで、画素電極7との間に蓄積容量Csを形成している。また、蓄積容量電極8は一定電位に保つように例えばコモン電極に接続されている。

【0011】

【発明が解決しようとする課題】

さて、以上説明した表示装置において蓄積容量を大きくするには、電極間の絶縁膜の比誘電率を大きくする、絶縁膜の膜厚を小さくする、あるいは蓄積容量電極の面積を大きくするという方法が一般に考えられる。しかしながら、絶縁膜の比誘電率を大きくする方法では絶縁膜の材料が制限されてしまうし、絶縁膜の膜厚を薄くする方法は電極間の層間短絡の発生が懸念されるという問題を有している。

【0012】

また、表示装置はできるだけ高い輝度で明るい表示をすることが望まれるが、

電極面積を大きくする方法では、光を透過させない金属材料で形成される蓄積容量電極の領域が画素電極 7 内で拡大することになり、蓄積容量電極でバックライトからの透過光の多くが遮られてしまうことになる。そのため、バックライトの光が入射する面積を増やして高い開口率の明るい表示パネルを得ようとする、蓄積容量を増やすことができないという問題がある。

【0013】

本発明の目的は、電極間の絶縁膜を薄くしなくても、また、電極を画素領域に拡張なくても大きな蓄積容量が得られるアクティブマトリクス型表示装置を提供することにある。

【0014】

【課題を解決するための手段】

上記目的は、基板上に形成された複数のゲート配線と、ゲート配線にほぼ直交して基板上に形成された複数のデータ配線と、ゲート配線とデータ配線とで画定されてマトリクス状に配列する複数の画素領域に形成された薄膜トランジスタと、画素領域内に形成されて薄膜トランジスタと接続される画素電極と、基板と画素電極との間で複数の絶縁膜を介して複数の蓄積容量を形成する複数の蓄積容量電極とを有することを特徴とするアクティブマトリクス型表示装置によって達成される。

【0015】

本発明によれば、蓄積容量を複数の層構造になるように積層することにより、画素の開口率を低減させてしまう遮光面積の増加を生じさせずに容量を増加させることができるようになる。

【0016】

また、従来の蓄積容量に加えて、ゲート電極で元々遮光されていた領域に複数の層構造により蓄積容量を積層させることにより、画素の開口率を減少させずに蓄積容量を大きくさせることができる。なお、本発明によるアクティブマトリクス型表示装置は、従来の装置と同一の素子形成材料を用い、従来と同一の製造方法により製造することができる。

【0017】

【発明の実施の形態】

本発明の第 1 の実施の形態によるアクティブマトリクス型表示装置を図 1 及び図 2 を用いて説明する。まず、本実施の形態によるアクティブマトリクス型表示装置の概略の構成を図 1 を用いて説明する。図 1 (a) はアレイ基板の平面を示し、図 1 (b) は図 1 (a) の A-A 線で切断した断面の一部を示している。図 1 (a) に示すように、アレイ基板となる透明なガラス基板 1 上には図中横方向に延びる複数のゲート配線 4 が平行に並んで形成されている。また、ゲート配線 4 にほぼ直交する方向には複数のデータ配線 6 が平行に並んで形成されている。

【0018】

各ゲート配線 4 と各データ配線 6 とで画定された長方形形状の領域が画素領域となり、複数の画素領域がマトリクス状に配置されている。各画素領域には TFT が形成されている。図 1 に示す TFT 構造は、ゲート電極がゲート配線 4 から引き出されて形成されておらず、直線状に配線されたゲート配線 4 の一部をゲート電極として用いる構成になっている。またこの TFT は、オフリーク電流の低減を図るためゲート配線 4 上を 2 度横切るいわゆるダブルゲート構造になっている。すなわちドレイン電極 2 f は、データ配線 6 とコンタクトホール 5 1 a で接続されている。ソース電極 2 e はチャネル層 2 g を挟んでドレイン電極 2 f と対向して配置されている。ソース電極 2 e は、次段のトランジスタのドレイン電極 2 b として機能する。ソース電極 2 c は、チャネル層 2 a を挟んでドレイン電極 2 b と対向して配置されている。

【0019】

画素領域内には、画素領域の輪郭とほぼ同一の外形を有する画素電極 7 が形成されている。画素電極 7 はコンタクトホール 5 1 b、5 2 c で TFT のソース電極 2 c と接続されている。また、ゲート配線 4 と平行に画素領域内を横切って蓄積容量配線 4 1 が形成され、さらに画素領域毎に蓄積容量配線 4 1 とコンタクトホール 5 1 d を介して電氣的に接続される例えば長方形形状の蓄積容量電極（以下、第 2 の蓄積容量電極という）6 2 が形成されている。また本実施の形態では、ソース電極 2 c を構成する不純物半導体層は、延伸して第 2 の蓄積容量電極 6 2 下方にまで形成されており、さらに、蓄積容量配線 4 1 に沿って第 2 の蓄積容

量電極 6 2 下方に形成されて第 1 の蓄積容量電極 2 d として機能するようになっている。

【0 0 2 0】

図 1 (b) に示す素子断面を用いてより詳細に説明する。透明なガラス基板 1 上に例えばポリシリコンからなる半導体層 2 が形成され、半導体層 2 上に例えばシリコン酸化膜からなるゲート絶縁膜 3 および例えば Cr からなるゲート電極 (ゲート配線) 4 が形成されている。半導体層 2 は、チャネル層 2 a、2 g と、不純物半導体層であるソース電極 2 c、2 e、ドレイン電極 2 b、2 f として機能する。また、第 2 の蓄積容量電極 6 2 下方にまで延伸した第 1 の蓄積容量電極 2 d 上には第 1 の層間絶縁膜 5 1 が形成されている。ソース電極 2 c は、データ配線 6 の形成と同時に形成された島状電極 6 1 とコンタクトホール 5 1 b を介して接続されている。島状電極 6 1 は、データ配線 6 の形成材料と同じ例えば Al により形成されている。島状電極 6 1 は、上部に形成された第 2 の層間絶縁膜 5 2 のコンタクトホール 5 2 c を介して、ITO 等の透明電極からなる画素電極 7 に接続されている。

【0 0 2 1】

このように本実施の形態の TFT は、ガラス基板 1 上に形成されたチャネル層 (動作半導体層) 2 a と、動作半導体層 2 a 上に形成されたゲート絶縁膜 3 と、ゲート絶縁膜 3 上に形成されたゲート配線 4 に接続されるゲート電極 4 と、動作半導体層 2 a の両側に形成された不純物を含むソース電極 (第 1 の半導体層) 2 c 及びドレイン電極 (第 2 の半導体層) 2 b とを有している。ソース電極 2 c は、第 1 の層間絶縁膜 5 1 に開口されたコンタクトホール 5 1 b 及び上部に形成した第 2 の層間絶縁膜 5 2 に開口されたコンタクトホール 5 2 c を介して画素電極 7 と電氣的に接続され、ドレイン電極 2 f は、データ配線 6 とコンタクトホール 5 1 a で接続されたプレーナ型構造を有している。

【0 0 2 2】

一方、ゲート電極 4 の形成と同時に、ゲート電極 4 と平行して蓄積容量配線 4 1 が形成される。蓄積容量配線 4 1 上には第 1 の層間絶縁膜 5 1 のコンタクトホール 5 1 d を介して第 2 の蓄積容量電極 6 2 が形成されている。第 2 の蓄積容量

電極 6 2 は、データ配線 6 の形成時に同時に形成される。第 2 の蓄積容量電極 6 2 は、第 2 の層間絶縁膜 5 2 を挟んで画素電極 7 との間に蓄積容量 $Cs2$ を形成している。また、第 2 の蓄積容量電極 6 2 は、第 1 の層間絶縁膜 5 1 を挟んで第 1 の蓄積容量電極 2 d との間に蓄積容量 $Cs1$ を形成している。なお、蓄積容量配線 4 1 は、一定電位を保つように例えば、ガラス基板 1 に対向して配置される対向基板側に形成されたコモン電極と電氣的に接続されてコモン電位に維持されている。ガラス基板 1 に画素が形成されたアレイ基板と対向基板（図示せず）との間には液晶（図示せず）が封止されている。TFT が画素電極 7 を介して液晶容量に画像表示のための電荷を書き込む際に、蓄積容量にも同時に電荷が書き込まれる。

【0023】

第 1 の蓄積容量電極 2 d と画素電極 7 はコンタクトホール 5 1 b、5 2 c を介して接続されているので、蓄積容量 $Cs1$ と $Cs2$ は並列接続となっている。従って、全体の蓄積容量は $Cs1 + Cs2$ となる。

このように本実施の形態は、ガラス基板 1 上に形成された複数のゲート配線 4 と、ゲート配線 4 にほぼ直交してガラス基板 1 上に形成された複数のデータ配線 6 と、ゲート配線 4 とデータ配線 6 とで画定されてマトリクス状に配列する複数の画素領域に形成された TFT と、画素領域内に形成されて TFT と接続される画素電極 7 と、ガラス基板 1 と画素電極 7 との間で複数の絶縁膜（5 1、5 2）を介して複数の蓄積容量 $Cs1$ 、 $Cs2$ を形成する複数の蓄積容量電極（2 d、6 2）層とを有することを特徴としている。そして、複数の蓄積容量 $Cs1$ 、 $Cs2$ は、並列接続されている点に特徴を有している。

【0024】

また、複数の蓄積容量電極 2 d、6 2 は、基板垂直方向から見て第 1 の層間絶縁膜を介して重複するように積層されている。つまり、複数の蓄積容量電極 2 d、6 2 は、第 1 の蓄積容量電極 2 d として第 1 の半導体層を延伸した領域を用い、第 1 の層間絶縁膜 5 1 と第 2 の層間絶縁膜 5 2 との間に形成されて、所定の電位に維持される蓄積容量配線 4 1 と接続された第 2 の蓄積容量電極 6 2 を有しており、少なくとも、第 1 の蓄積容量電極 2 d と第 1 の層間絶縁膜 5 1 と第 2 の蓄

積容量電極層 62 とで第 1 の蓄積容量 C_{s1} を構成し、第 2 の蓄積容量電極 62 と第 2 の層間絶縁膜 52 と画素電極 7 とで第 2 の蓄積容量 C_{s2} を構成している。このように蓄積容量を C_{s1} 、 C_{s2} の 2 層構造になるように積層することにより、画素の開口率を低減させてしまう遮光面積の増加を生じさせずに容量を増加させることができるようになる。

【0025】

次に、図 2 を用いて本実施の形態によるアクティブマトリクス型表示装置の製造方法について説明する。図 2 は、図 1 (b) に示した断面と同一の領域を形成する工程を示す断面図である。

まず、図 2 (a) に示すように、透明な絶縁性基板であるガラス基板 1 上に、厚さ約 40 nm 程度の例えばポリシリコンからなる半導体層 2 を形成する。この半導体層 2 は、ソース電極 2c となる側が延伸されて、後の工程で第 1 の蓄積容量電極 2d となる領域まで形成する。次いで、全面に厚さ 100 nm 程度の例えば SiO_2 を成膜し、次に、例えば Cr を厚さ 200 nm に成膜してからパターニングして、ゲート絶縁膜 3 及び絶縁膜 3'、及びゲート絶縁膜 3 上のゲート電極 4、絶縁膜 3' 上の蓄積容量配線 41 を形成する。

【0026】

次に、図 2 (b) に示すように、ゲート電極 4 をマスクとして不純物打ち込みを行い、自己整合によりソース電極 2c、ドレイン電極 2b を形成する。このとき、ソース電極 2c 側に延伸した不純物半導体層で第 1 の蓄積容量電極 2d を形成する。次いで、例えば、シリコン窒化膜 (SiN) を厚さ例えば 300 nm に成膜して第 1 の層間絶縁膜 51 を形成する。次いで、ソース電極 2c 上及び蓄積容量配線 41 上の第 1 の層間絶縁膜 51 にコンタクトホール 51b、51d を開口する。

【0027】

次に、図 2 (c) に示すように、厚さ約 30 nm の Ti 膜と厚さ約 300 nm の Al 膜をこの順に成膜してパターニングし、データ配線 6 を形成する。このデータ配線 6 の形成と同時に、画素電極 7 の ITO と TFT のソース電極 2c とのコンタクトをとるための島状電極 61 をコンタクトホール 51b に形成する。同

様にしてコンタクトホール 5 1 d を介して蓄積容量配線 4 1 と接続する第 2 の蓄積容量電極 6 2 を形成する。

【 0 0 2 8 】

次に、図 2 (d) に示すように、厚さ約 3 0 0 n m の S i N 膜を成膜して第 2 の層間絶縁膜 5 2 を形成する。次いで、島状電極 6 1 上の第 2 の層間絶縁膜 5 2 にコンタクトホール 5 2 c を開口する。次いで、厚さ約 1 0 0 n m の I T O を形成してからパターンニングして画素電極 7 を形成する。

以上の工程によりアクティブマトリクス表示装置のアレイ基板側の素子形成工程が終了する。これにより、第 2 の蓄積容量電極 6 2 と画素電極 7 とで第 2 の層間絶縁膜 5 2 を挟んで第 2 の蓄積容量 C s 2 が形成され、第 2 の蓄積容量電極 6 2 と第 1 の蓄積容量電極 2 d とで第 1 の層間絶縁膜 5 1 を挟んで第 1 の蓄積容量 C s 1 が形成される。以上の説明からも明らかなように本実施の形態によるアクティブマトリクス型表示装置は、従来の装置と同一の素子形成材料を用い、従来と同一の製造方法により製造することができる。

【 0 0 2 9 】

最終的にアレイ基板を対向基板と張り合わせて液晶を注入し、所定のセルギャップで液晶を封止し、液晶駆動用のドライバ I C 等を組み込み、必要であればバックライトを取り付けてアクティブマトリクス表示装置が完成する。

【 0 0 3 0 】

次に、本発明の第 2 の実施の形態によるアクティブマトリクス型表示装置を図 3 及び図 4 を用いて説明する。まず、本実施の形態によるアクティブマトリクス型表示装置の概略の構成を図 3 を用いて説明する。図 3 (a) はアレイ基板の平面を示し、図 3 (b) は図 3 (a) の B - B 線で切断した断面の一部であって、ゲート配線 4 領域の断面を示している。図 3 (a) に示すように、アレイ基板となる透明なガラス基板 1 上には図中横方向に延びる複数のゲート配線 4 (4 a、4 b のみ図示) が平行に並んで形成されている。また、ゲート配線 4 にはほぼ直交する方向には複数のデータ配線 6 が平行に並んで形成されている。各ゲート配線 4 と各データ配線 6 とで画定された長方形形状の領域が画素領域となり、複数の画素領域がマトリクス状に配置されている。各画素領域には T F T が形成されて

いる。図 3 に示す T F T 構造は、第 1 の実施の形態で図 1 を用いて説明したものと同一であり、直線状に配線されたゲート配線 4 の一部をゲート電極として用い、また、ゲート配線 4 上を 2 度横切るいわゆるダブルゲート構造になっている。

【 0 0 3 1 】

画素領域内には、画素領域の輪郭とほぼ同一の外形を有する画素電極 7 が形成されている。画素電極 7 はコンタクトホール 5 1 b、5 2 c で T F T のソース電極 2 c と接続されている。

【 0 0 3 2 】

本実施の形態では、第 1 の実施の形態と異なり、ソース電極 2 c を構成する不純物半導体層は延伸しておらず、第 1 の蓄積容量電極 2 d は形成されていない。それに代えて、蓄積容量配線を兼ねる第 4 の蓄積容量電極 8 が形成されている。第 4 の蓄積容量電極 8 は、基板垂直方向から見て、第 3 の層間絶縁膜 5 3 を介して画素電極 7 の周囲領域と重複する周辺領域を有している。また、第 4 の蓄積容量電極 8 は、通常は T F T が形成されたアレイ基板と液晶層を挟んで対向する対向基板側に形成される遮光層を兼ねている。遮光層は、画素電極 7 が形成されていない領域からバックライトの光が漏れないようにするためにある。遮光層をアレイ基板側に形成することは、1 画素当たりの面積が小さい高精細表示パネル等において、対向基板とアレイ基板との貼り合わせ誤差によりバックライトからの透過光が減少してしまうのを防止するのに特に有効である。また、第 4 の蓄積容量電極 8 の下方には絶縁膜を介して第 3 の蓄積容量電極 6 2 が形成されている。

【 0 0 3 3 】

ここで図 3 (a) と共に図 3 (b) も参照してさらに説明する。本実施の形態による第 3 の蓄積容量電極 6 2 は、ゲート配線 4 上部に形成された第 1 の層間絶縁膜 5 1 上に形成されている。第 3 の蓄積容量電極 6 2 上には第 2 の層間絶縁膜 5 2 が形成され、その上に第 4 の蓄積容量電極 8 が位置している。第 4 の蓄積容量電極 8 上には第 3 の層間絶縁膜 5 3 が形成されている。各画素領域内の第 3 の層間絶縁膜 5 3 上には I T O 等からなる画素電極 7 が形成されている。

【 0 0 3 4 】

図 3 (a) に示すように、ゲート配線 4 b 上の第 3 の蓄積容量電極 6 2 は、そ

の一部が引き出されて、次段のゲート配線 4 a に流れるゲート信号で動作する TFT に接続された画素電極 7 にコンタクトホール 5 3 e を介して接続されている。

【0035】

このような構成において、第 3 の蓄積容量電極 6 2 と第 2 の層間絶縁膜 5 2 と第 4 の蓄積容量電極 8 とで第 3 の蓄積容量 Cs_3 が構成され、第 4 の蓄積容量電極 8 と第 3 の層間絶縁膜 5 3 と画素電極 7 とで第 4 の蓄積容量 Cs_4 が構成される。さらに、第 3 の蓄積容量電極 6 2 と第 1 の層間絶縁膜 5 1 とゲート配線 4 (4 b) とで第 5 の蓄積容量 Cs_5 が構成されている。なお、第 4 の蓄積容量電極 8 は一定電位に保つように例えばコモン電極に接続されてコモン電位に維持されている。

【0036】

以上の構成において第 3 の蓄積容量電極 6 2 と画素電極 7 とはコンタクトホール 5 3 e を介して電氣的に接続されているので、第 3 の蓄積容量 Cs_3 と第 4 の蓄積容量 Cs_4 とは並列接続となる。また、第 5 の蓄積容量 Cs_5 を形成する一方の電極は隣接ゲート電極 4 b であるが、そのゲート電位はゲート信号を書き込むごく短い期間のみ変化し、その他の大部分の時間は一定の電位であり、この一定の電位の間に第 5 の蓄積容量 Cs_5 の一方の蓄積容量電極として利用する。従って、第 3 乃至第 5 の蓄積容量 $Cs_3 \sim Cs_5$ は並列接続されているとみなせるので、全体の蓄積容量は $Cs_3 + Cs_4 + Cs_5$ にほぼ等しくなる。また、第 3 の蓄積容量電極 6 2 はバックライト光に対して第 4 の蓄積容量電極 8 で隠れる位置にあるので、画素電極 7 とのコンタクト部を除き、画素領域の透過光を妨げることもない。

【0037】

以上説明したように、本実施の形態によれば、従来の構成でも形成される第 4 の蓄積容量 Cs_4 に加えて、ゲート電極 4 で遮光される領域に第 3 及び第 5 の蓄積容量 Cs_3 、 Cs_5 を積層した 3 層構造にすることにより、第 3 の蓄積容量電極 6 2 と画素電極 7 とのコンタクトホール 5 3 e 部の遮光部がわずかに増加するだけで、蓄積容量を大きく増加させることができるようになる。

【0038】

次に、図4を用いて本実施の形態によるアクティブマトリクス型表示装置の製造方法について説明する。図4は、図3(b)に示した断面と同一の領域を形成する工程を示す断面図である。

まず、透明な絶縁性基板であるガラス基板1上に、厚さ約40nm程度の例えばポリシリコンからなる半導体層2を成膜してパターンニングする。その後、図4(a)に示すように、全面に厚さ100nm程度の例えばSiO₂を成膜し、次に、例えばCrを厚さ200nmに成膜してからパターンニングして、ゲート絶縁膜3及びゲート電極4を形成する。

【0039】

次に、ゲート電極4をマスクとして不純物打ち込みを行い、自己整合によりTFTのソース電極2c、ドレイン電極2bを形成する(図示せず)。次いで、例えば、シリコン窒化膜(SiN)を厚さ例えば300nmに成膜して第1の層間絶縁膜51を形成する。

【0040】

次に、厚さ約30nmのTi膜と厚さ約300nmのAl膜をこの順に成膜してパターンニングし、データ配線6を形成する(図示せず)。このデータ配線6の形成と同時に、画素電極7とTFTのソース電極2cとのコンタクトをとるための島状電極61等も形成する(図示せず)。同様にゲート配線4上に第1の層間絶縁膜51を介して第2の蓄積容量電極62を形成する。

【0041】

次に、図2(b)に示すように、厚さ約400nmのSiN膜を成膜して第2の層間絶縁膜52を形成する。次いで、その上に厚さ例えば200nmのTi膜を成膜してパターンニングし、遮光層を兼ねる第4の蓄積容量電極8を形成する。

次に、図4(c)に示すように、例えば、厚さ400nmのSiN膜からなる第3の層間絶縁膜53を形成し、第3及び第2の層間絶縁膜53、52を貫通して第3の蓄積容量電極62上にコンタクトホール53eを開口する。さらに、厚さ例えば100nmのITOを形成してパターンニングし、画素電極7を形成する。

【 0 0 4 2 】

以上の工程によりアクティブマトリクス表示装置のアレイ基板側の素子形成工程が終了する。これにより、第 3 の蓄積容量電極 6 2 と第 2 の層間絶縁膜 5 2 と第 4 の蓄積容量電極 8 とで第 3 の蓄積容量 Cs_3 が形成され、第 4 の蓄積容量電極 8 と第 3 の層間絶縁膜 5 3 と画素電極 7 とで第 4 の蓄積容量 Cs_4 が形成される。さらに、第 3 の蓄積容量電極 6 2 と第 1 の層間絶縁膜 5 1 とゲート配線 4 (4 b) とで第 5 の蓄積容量 Cs_5 が形成される。以上の説明からも明らかなように本実施の形態によるアクティブマトリクス型表示装置は、従来の装置と同一の素子形成材料を用い、従来と同一の製造方法により製造することができる。

【 0 0 4 3 】

最終的にアレイ基板を対向基板と張り合わせて液晶を注入し、所定のセルギャップで液晶を封止し、液晶駆動用のドライバ IC 等を組み込み、必要であればバックライトを取り付けてアクティブマトリクス表示装置が完成する。

【 0 0 4 4 】

本発明は、上記実施の形態に限らず種々の変形が可能である。例えば、上記実施の形態では、プレーナ型の TFT を用いて説明したが、スタガ型、あるいは逆スタガ型の構造を有する TFT にも本発明を適用することができる。

さらに上記実施の形態では、バックライト機構を備えた透過型液晶表示装置を前提に説明しているが、本発明はこれに限られず、反射型液晶表示装置に適用することももちろん可能である。

また、上記第 2 の実施の形態では、第 4 の蓄積容量電極 8 が蓄積容量配線を兼ねている構成で説明したが、本発明はこれに限られず、第 4 の蓄積容量電極 8 と蓄積容量配線とを別個に設け、それらを電氣的に接続するように構成してももちろんよい。

【 0 0 4 5 】

以上説明した実施形態に基づき、本発明は以下のようにまとめられる。

第 1 の発明として、基板上に形成された複数のゲート配線と、前記ゲート配線にほぼ直交して前記基板上に形成された複数のデータ配線と、前記ゲート配線と

前記データ配線とで画定されてマトリクス状に配列する複数の画素領域に形成された薄膜トランジスタと、前記画素領域内に形成されて前記薄膜トランジスタと接続される画素電極と、前記基板と前記画素電極との間で複数の絶縁膜を介して複数の蓄積容量を形成する複数の蓄積容量電極とを有することを特徴とするアクティブマトリクス型表示装置。

【0046】

第2の発明として、上記第1の発明のアクティブマトリクス型表示装置において、前記複数の蓄積容量は、並列接続されていることを特徴とするアクティブマトリクス型表示装置。

【0047】

第3の発明として、上記第1又は第2の発明のアクティブマトリクス型表示装置において、前記複数の蓄積容量電極のうち少なくともいずれか2層は、基板垂直方向から見て絶縁膜を介して重複するように積層されていることを特徴とするアクティブマトリクス型表示装置。

【0048】

第4の発明として、上記第1乃至第3の発明のいずれかのアクティブマトリクス型表示装置において、

前記薄膜トランジスタは、前記基板上に形成された動作半導体層と、前記動作半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、不純物を含んで前記動作半導体層の両側に形成された第1及び第2の半導体層と、前記第1の半導体層上に積層された第1及び第2の絶縁膜に開口したコンタクト窓を介して前記画素電極と電気的に接続される前記第1の半導体層を含むソース電極と、前記第2の半導体層を含み前記データ配線と接続するドレイン電極とを有するプレーナ型構造であり、

前記ゲート配線は前記ゲート電極を兼ねており、

前記複数の蓄積容量電極は、第1の蓄積容量電極として前記第1の半導体層を用い、前記第1の絶縁膜と前記第2の絶縁膜との間に形成され、所定の電位に維持される蓄積容量配線と接続された第2の蓄積容量電極を有しており、

少なくとも、前記第1の蓄積容量電極と前記第1の絶縁膜と前記第2の蓄積容

量電極とで第 1 の蓄積容量を構成し、前記第 2 の蓄積容量電極と前記第 2 の絶縁膜と前記画素電極とで第 2 の蓄積容量を構成することを特徴とするアクティブマトリクス型表示装置。

【0049】

第 5 の発明として、上記第 4 の発明のアクティブマトリクス型表示装置において、

前記複数の蓄積容量電極は、

当該画素領域の前段にある前記ゲート配線領域の前記第 1 の絶縁膜上に形成され、当該画素領域の前記画素電極に接続された第 3 の蓄積容量電極と、

前記ゲート配線領域及び前記データ配線領域の前記第 2 の絶縁膜上に形成され、上部に形成された第 3 の絶縁膜上に形成された前記画素電極の端部と基板垂直方向に見て重複する端部を備える第 4 の蓄積容量電極とを有し、

少なくとも、前記第 3 の蓄積容量電極と前記第 2 の絶縁膜と前記第 4 の蓄積容量電極とで第 3 の蓄積容量を構成し、前記第 4 の蓄積容量電極と前記第 3 の絶縁膜と前記画素電極とで第 4 の蓄積容量を構成すること

を特徴とするアクティブマトリクス型表示装置。

【0050】

第 6 の発明として、上記第 5 の発明のアクティブマトリクス型表示装置において、前記第 3 の蓄積容量電極と前記第 1 の絶縁膜と前記ゲート配線とで第 5 の蓄積容量を構成することを特徴とするアクティブマトリクス型表示装置。

【0051】

第 7 の発明として、上記第 5 又は第 6 の発明のアクティブマトリクス型表示装置において、前記第 4 の蓄積容量電極は、蓄積容量配線を兼ねていることを特徴とするアクティブマトリクス型表示装置。

【0052】

第 8 の発明として、上記第 5 乃至第 7 の発明のいずれかのアクティブマトリクス型表示装置において、前記第 4 の蓄積容量電極は、遮光膜を兼ねていることを特徴とするアクティブマトリクス型表示装置。

【0053】

【発明の効果】

以上の通り、本発明によれば、蓄積容量を積層することで、表示領域方向に蓄積容量の面積を増加させることなく、容量の増加を図ることができるようになる。従って、十分な蓄積容量を有し、しかもバックライト光を透過する面積の大きい、明るい表示装置を提供することができるようになる。十分な蓄積容量により、ゲート画素間容量によるコモン電位の変動を抑え、また、TFTのオフリーク電流による画素点欠陥を防止することができる。また、本発明によるTFTアレイ基板は従来と同様の製造方法及び素子形成材料で製造することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態によるアクティブマトリクス型表示装置の構造を示す図である。

【図 2】

本発明の第 1 の実施の形態によるアクティブマトリクス型表示装置の製造方法を示す図である。

【図 3】

本発明の第 2 の実施の形態によるアクティブマトリクス型表示装置の構造を示す図である。

【図 4】

本発明の第 2 の実施の形態によるアクティブマトリクス型表示装置の製造方法を示す図である。

【図 5】

従来のアクティブマトリクス型表示装置の構造を示す図である。

【図 6】

従来のアクティブマトリクス型表示装置の他の構造を示す図である。

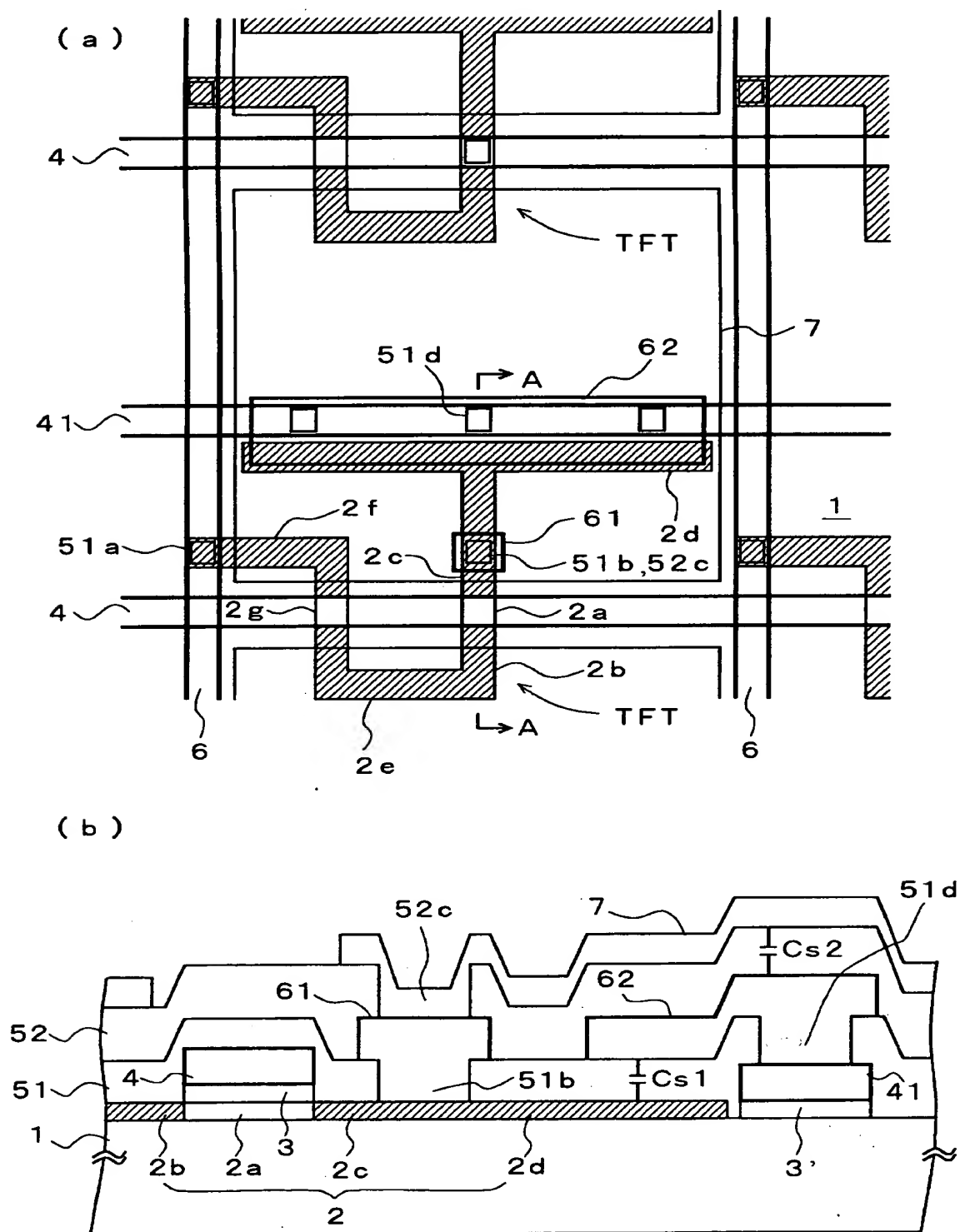
【符号の説明】

- 1 ガラス基板
- 2 半導体層
- 3 ゲート絶縁膜

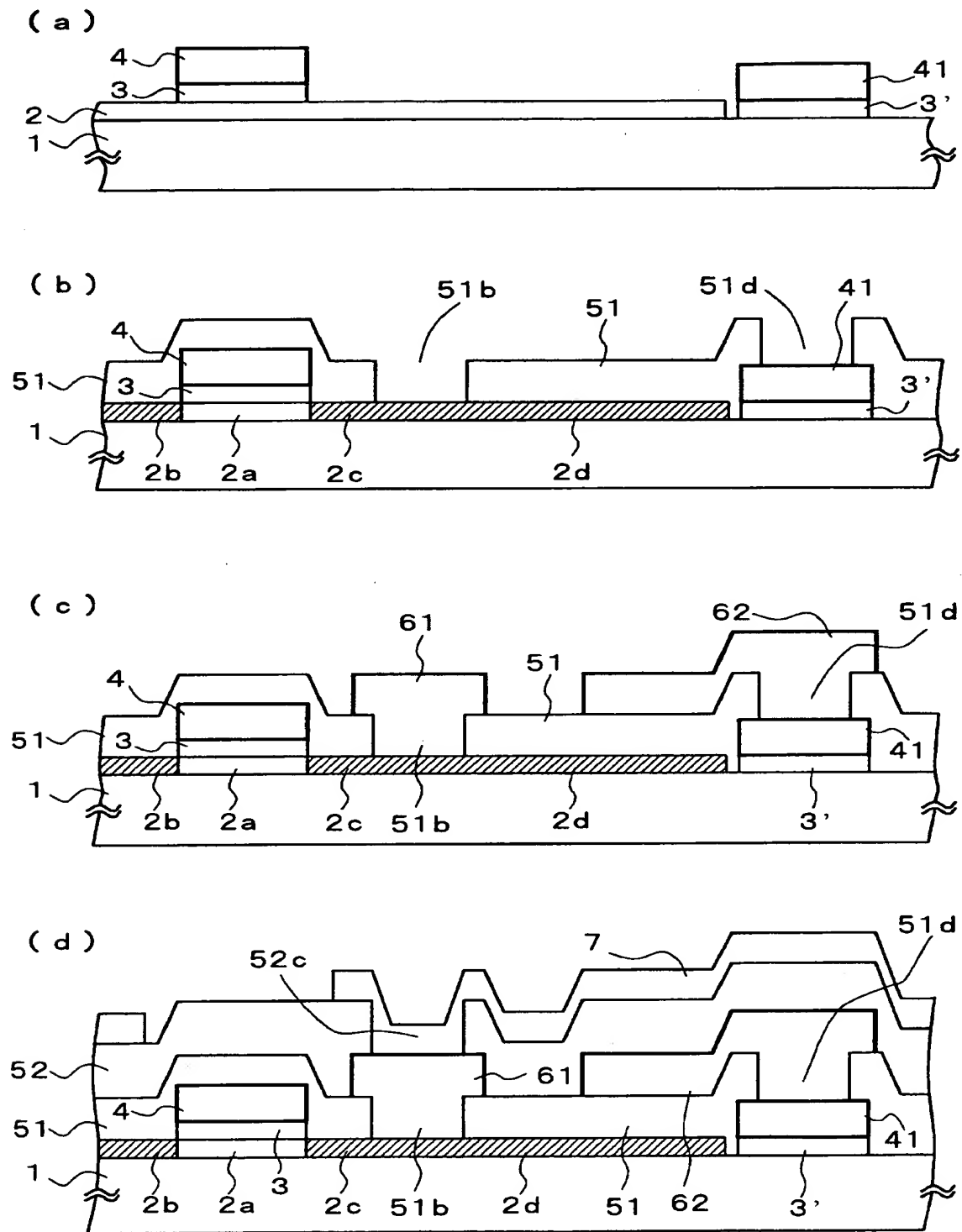
- 4 ゲート配線（ゲート電極）
- 6 データ配線
- 7 画素電極
- 8 第 4 の蓄積容量電極
- 4 1 蓄積容量配線
- 5 1 第 1 の層間絶縁膜
- 5 1 a、5 1 b、5 2 c、5 3 e コンタクトホール
- 5 2 第 2 の層間絶縁膜
- 5 3 第 3 の層間絶縁膜
- 6 1 島状電極
- 6 2 （第 2、又は第 3 の）蓄積容量電極

【書類名】 図面

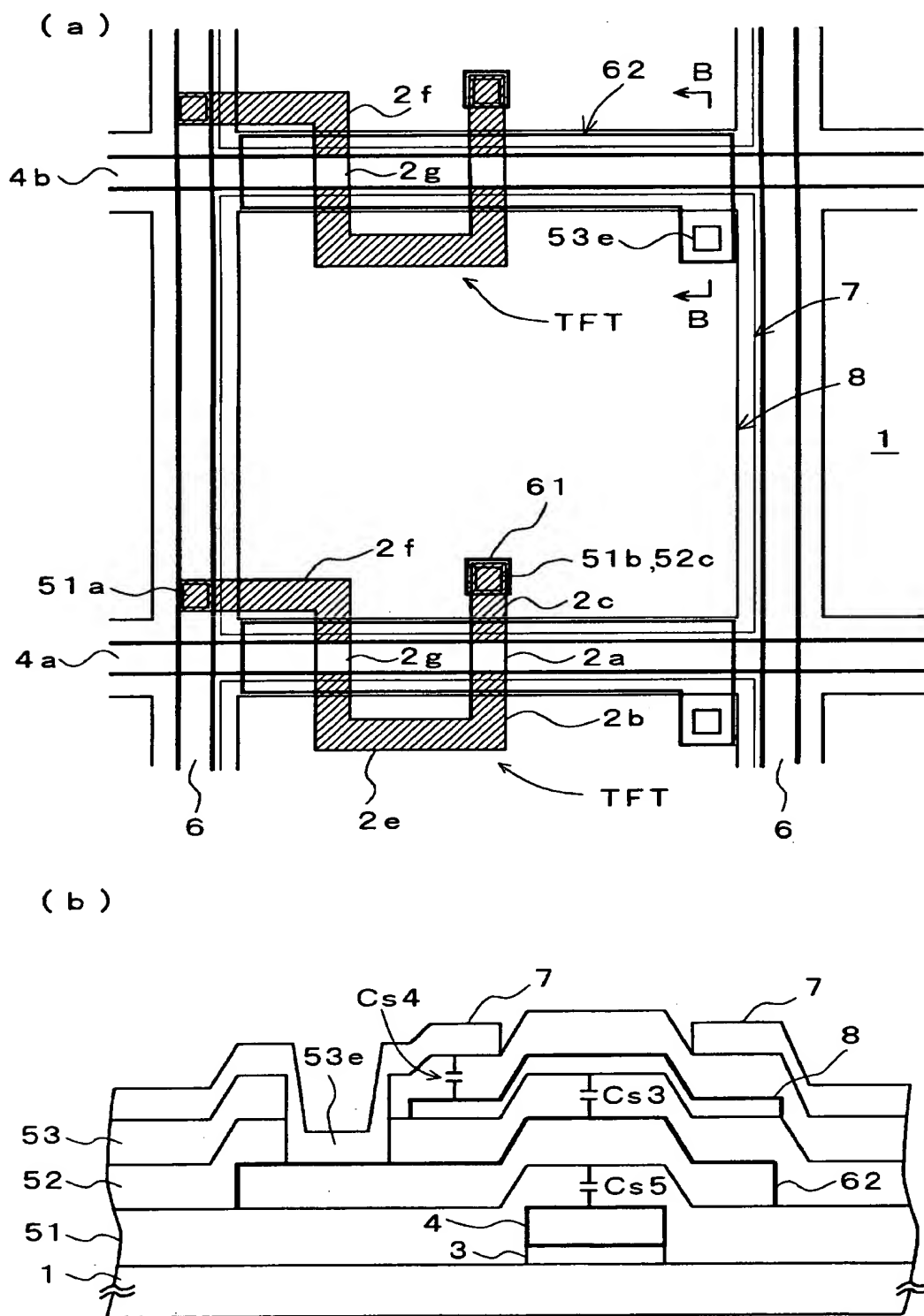
【図 1】



【図 2】

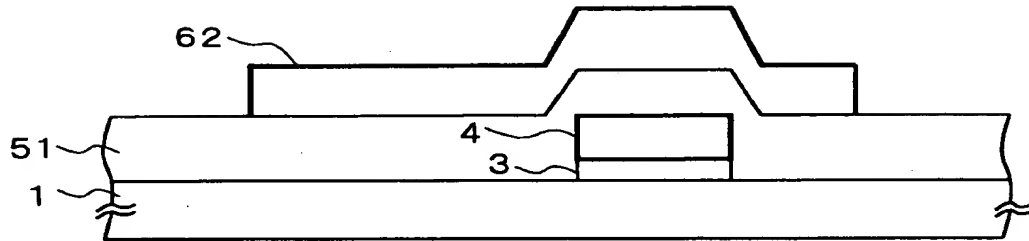


【図 3】

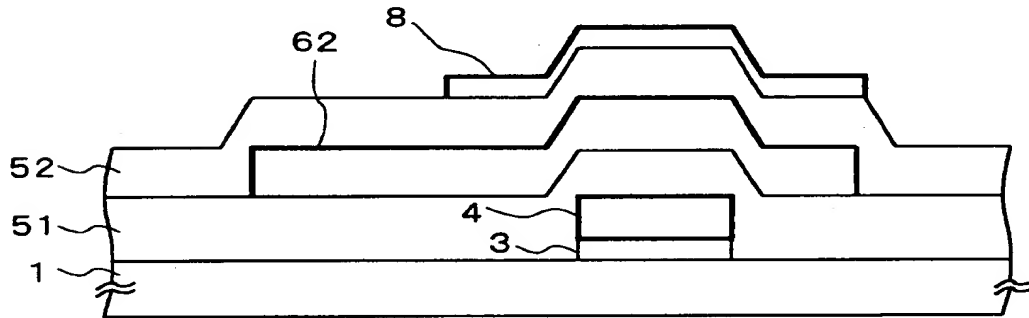


【図 4】

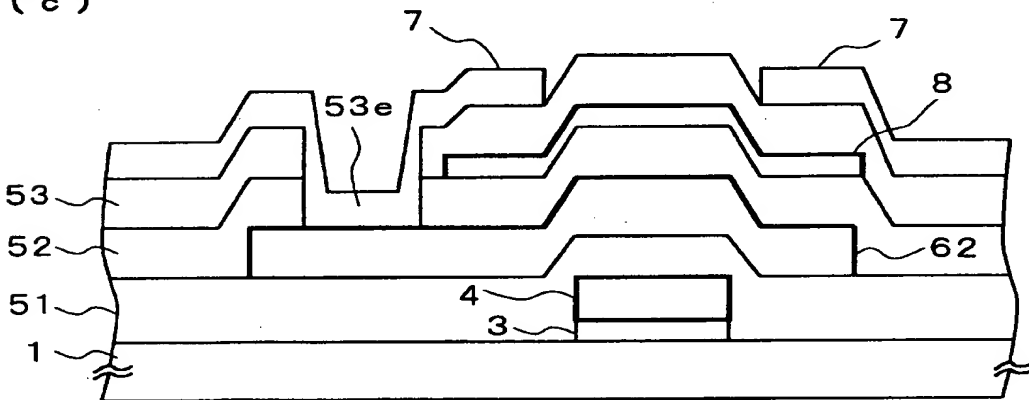
(a)



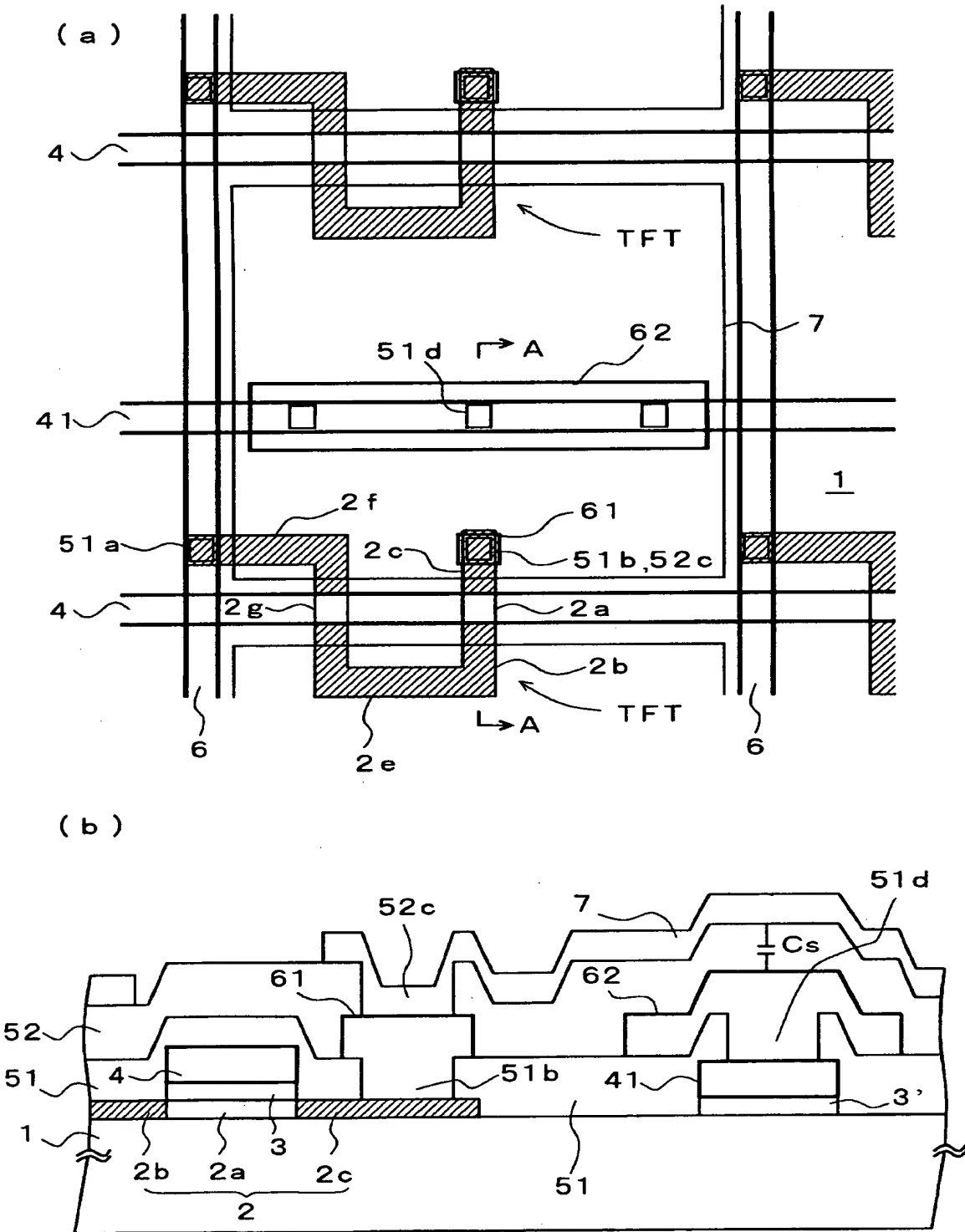
(b)



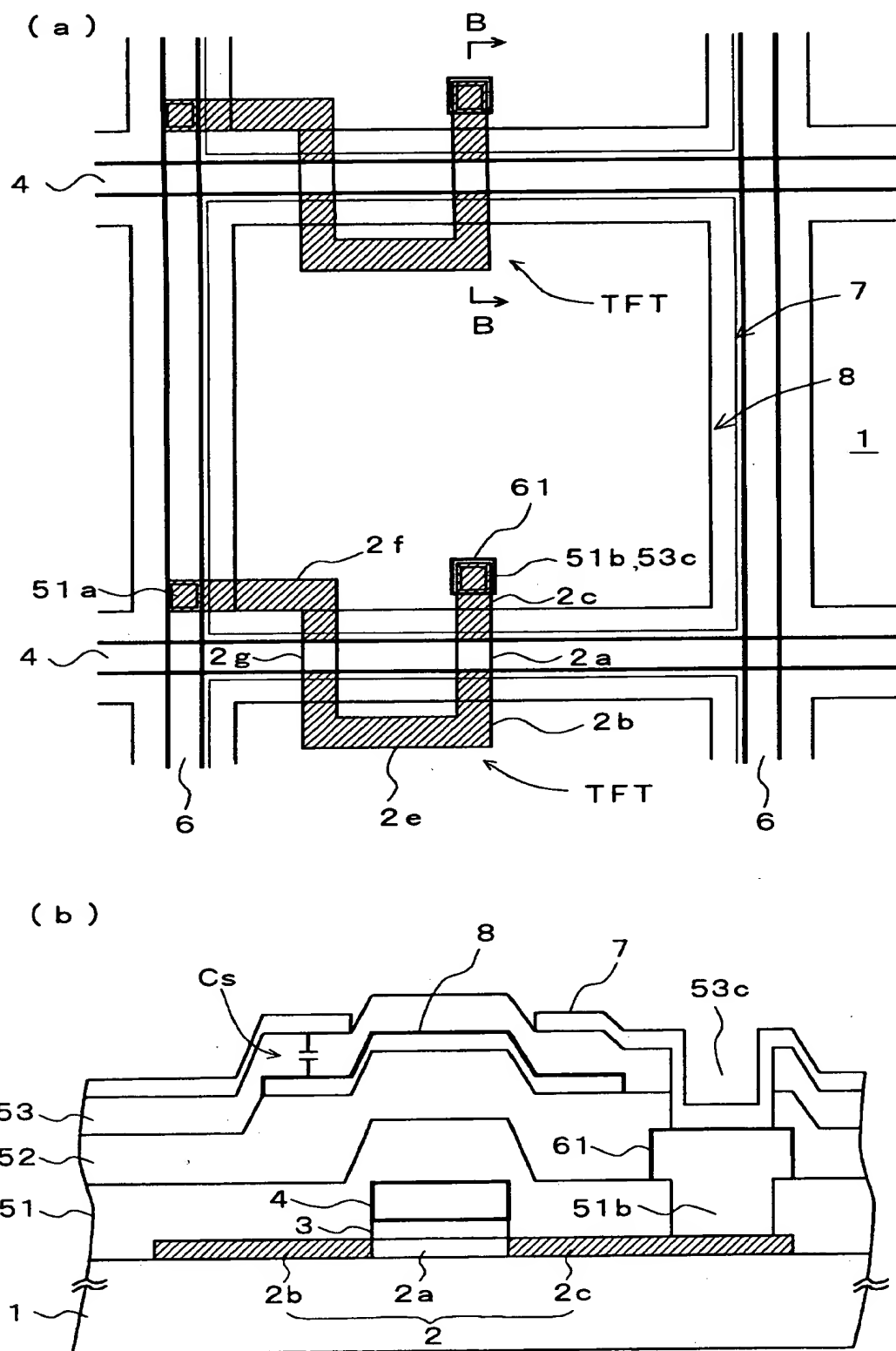
(c)



【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】本発明は、薄膜トランジスタ（TFT）をスイッチング素子として備えたアクティブマトリクス型表示装置に関し、電極間の絶縁膜を薄くしなくても、また、電極を画素領域に拡げなくても大きな蓄積容量が得られるアクティブマトリクス型表示装置を提供することを目的とする。

【解決手段】ガラス基板 1 上に形成された複数のゲート配線 4 と、ゲート配線 4 にほぼ直交してガラス基板 1 上に形成された複数のデータ配線 6 と、ゲート配線 4 とデータ配線 6 とで画定されてマトリクス状に配列する複数の画素領域に形成された TFT と、画素領域内に形成されて TFT と接続される画素電極 7 と、ガラス基板 1 と画素電極 7 との間で複数の絶縁膜（5 1，5 2）を介して複数の蓄積容量 Cs 1、Cs 2 を形成する複数の蓄積容量電極（2 d，6 2）層とを有するように構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社